

For Distribution



Imagination

**Выбор опций для интеграции ядер MIPS в
систему на кристалле**

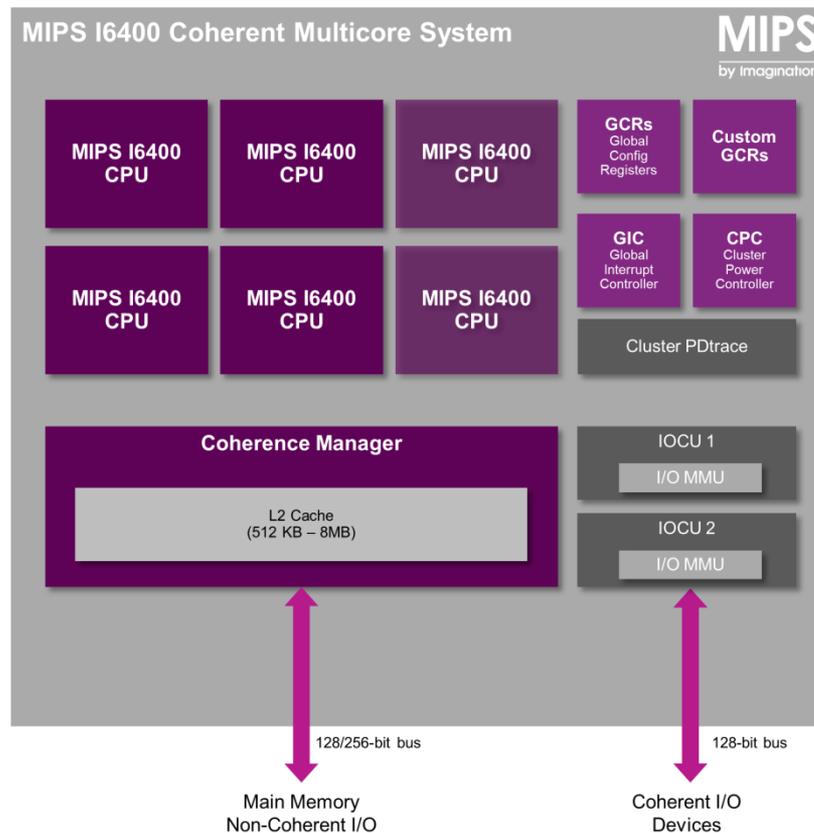
www.imgtec.com

MIPS IP похож на набор кубиков Лего

- Процессорные ядра и другие IP-блоки от MIPS Technologies можно рассматривать как набор строительных блоков для приготовления оптимальной системы на кристалле
- **На уровне многоядерной системы**
 - Выбор количества ядер CPU в системе с когерентностью кэшей первого уровня
 - Возможность конфигурации параметров кэша второго уровня
 - Возможность подключения к менеджеру когерентности - внешнее устройства типа DSP или целый интерконнект устройств ввода-вывода
- **На уровне одного ядра**
 - Расширение системы команд с помощью CorExtend (User Defined Instructions – UDI)
 - Интеграция с разработанным пользователем сопроцессором – Coprocessor 2
 - Модифицируемые пользователем блоки ScratchPad RAM для быстрой памяти и ввода-вывода
- **Опции для контроля многопоточности (hardware-supported multi-threading) в interAptiv**
 - Inter Thread Communication Unit (ITU) – как на уровне одного ядра, так и в многоядерной системе
 - Policy Manager – контроль приоритетов потоков или тредов (threads) в рамках одного ядра

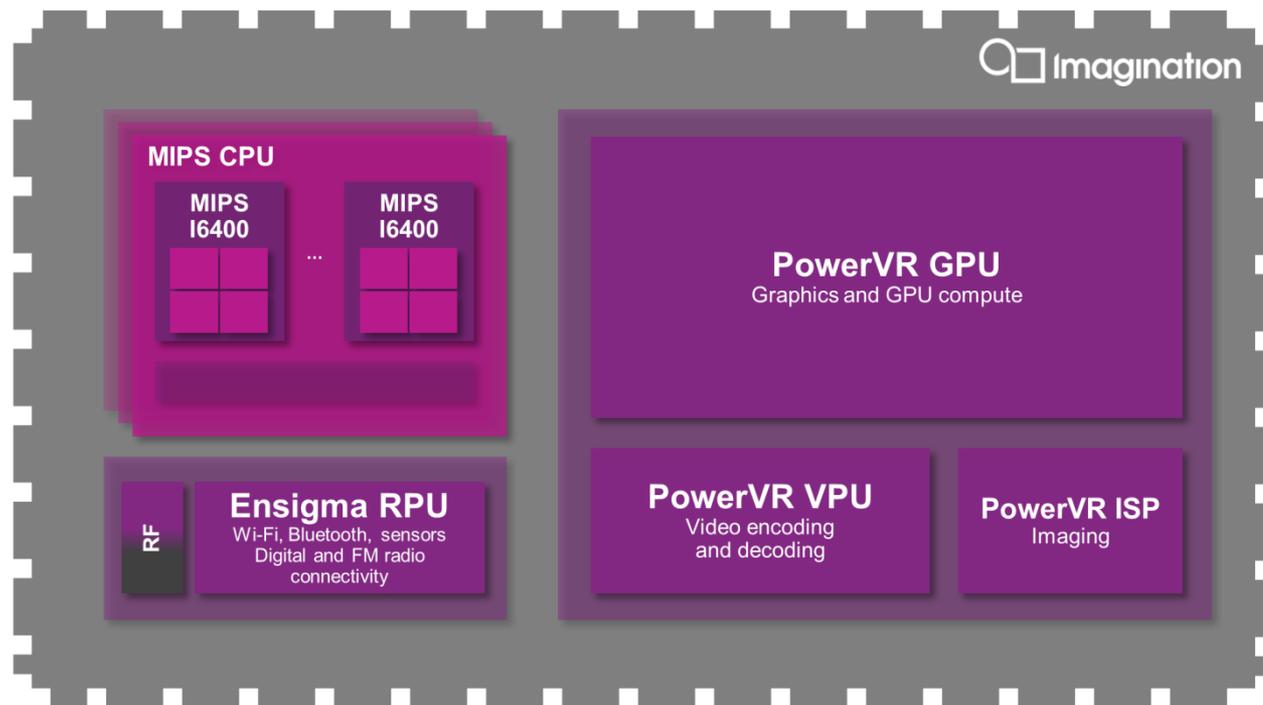
Многоядерная система с менеджером когерентности

- Coherent Processing System – MIPS interAptive, P5600, I6400
- От 1 до 4 ядер в interAptiv, от 1 до 6 ядер в P5600, I6400
- Компоненты – ядра CPU, менеджер когерентности, L2 и другие
- Специальный блок IOCU (I/O Coherence Unit) позволяет подсоединять к менеджеру когерентности внешний интерконнект или устройства типа DSP
- IOCU позволяет внешнему устройству, разработанному пользователем, иметь доступ к данным в L1 кэшах ядер и L2 кэше всей системы

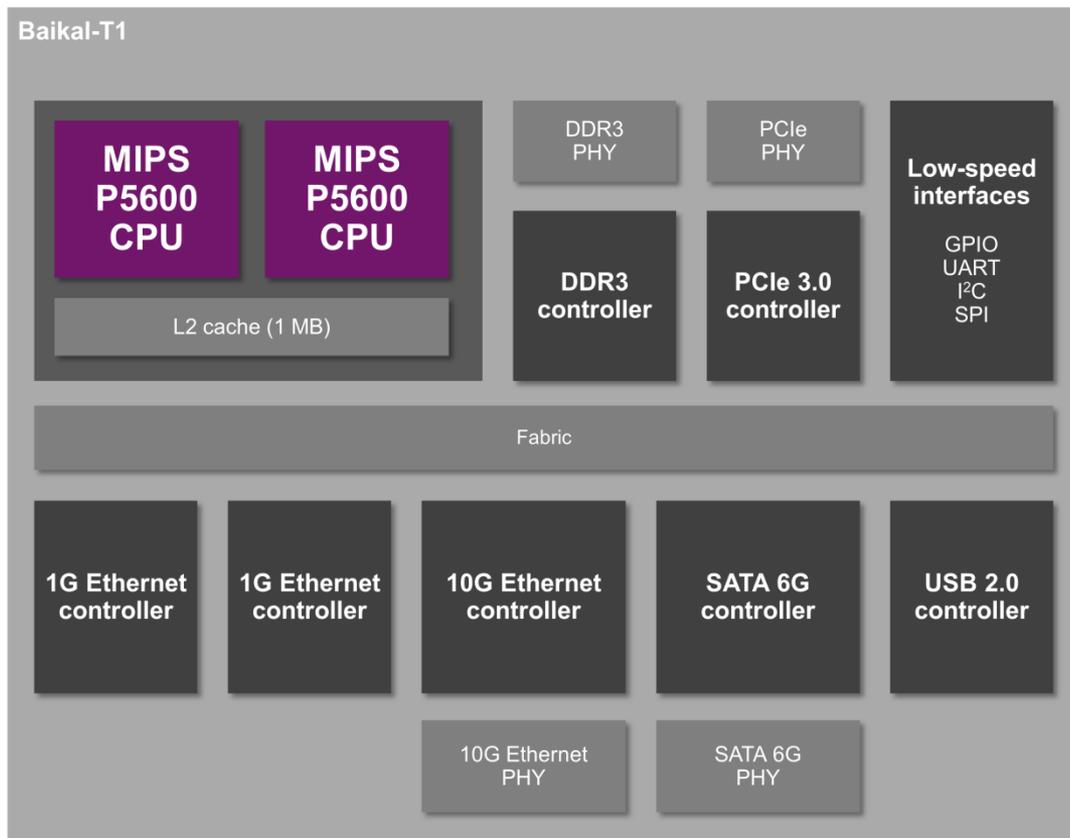


Многокластерные и гетерогенные системы

Next generation 64-bit SoC

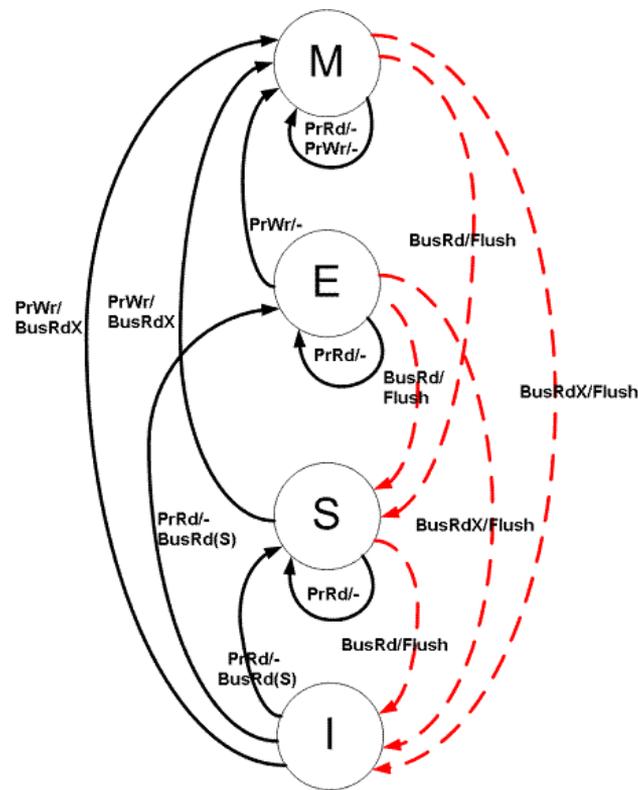


Пример: Байкал-Т



Концепция snoopy-протоколов на примере MESI

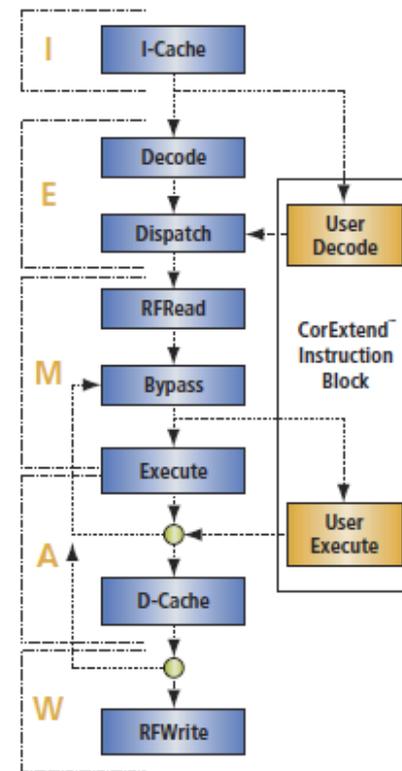
- У каждого процессорного ядра в системе есть свой кэш первого уровня
- Эти кэши поддерживаются в непротиворечивом состоянии с помощью варианта MESI протокола
 - Каждая линия кэша первого уровня каждого ядра находится в одном из состояний – Modified, Exclusive, Shared, Invalid
 - Каждое ядро следит за транзакциями, которые выполняют другие ядра и меняет состояние своих линий
 - Менеджер когерентности осуществляет коммуникацию между ядрами и кэшем второго уровня



Источник диаграммы - Википедия

Добавление новых команд с помощью CorExtend

- Другое название CorExtend – UDI - User-Defined Instructions – команды, определяемые пользователем
- Под «пользователем» имеется в виду разработчик системы на кристалле, который интегрирует в систему ядра MIPS
- Разработчик реализует эти команды в модуле на Verilog с определенным CorExtend интерфейсом
- Модуль синтезируется вместе с ядром
- Выполнение добавленных команд не останавливает главный конвейер процессора
- Предусмотрен протокол реакции на исключения



Тип команд, которые добавляются с CorExtend

- Как правило простые команды – для более сложной функциональности есть интерфейс Coprocessor 2
- Команда может использовать данные из
 - видимых программисту регистров общего назначения
 - а также командное слово как таковое, например для операндов-констант
- Команда может записывать результат в
 - регистр общего назначения
 - или изменять внутренние регистры самого блока CorExtend
- Блок CorExtend может хранить данные между командами
- Пример использования – манипуляция битов для шифрования

Определяемый пользователем Сопроцессор 2

- В архитектуре MIPS есть четыре возможных сопроцессора
 - Сопроцессор 0 – системный
 - Сопроцессор 1 и частично 3 – арифметика с плавающей точкой
 - Сопроцессор 2 – определяется пользователем (разработчиком системы на кристалле)
- Как и CorExtend, Сопроцессор 2 может быть реализован как блок на Verilog с заданным интерфейсом
 - В самом простом случае сопроцессор может использоваться просто как блок быстрых регистров
- Гибкий набор команд
 - Команды обмена между регистрами процессора и сопроцессора
 - Загрузка регистров сопроцессора из памяти
 - Ветвление по состоянию определенных пользователем флагов сопроцессора
- Недостаток по сравнению с CorExtend – нет команд читающих и пишущих регистры CPU в одной команде
- Пример использования Cor2 в прошлом – видеопроцессор в Sony PlayStation

Модифицируемый блок ScratchPad RAM

- Перехватывает определенные транзакции ядра к кэшу первого уровня
- Имеет ту же latency, что и кэш первого уровня
- Может использоваться как блок быстрой памяти для определенных адресов, но не только
- В ScratchPad RAM можно встроить любую логику – например для реализации быстрого ввода-вывода большого объема информации (сетевых пакетов или изображения)
- Существует два отдельных блока – Data ScratchPad RAM (DSPRAM) и Instruction ScratchPad RAM (ISPRAM)

For Distribution



Imagination

Спасибо!